

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-075219

(43)Date of publication of application : 14.03.1990

(51)Int.Cl.

H03K 3/356
H03K 17/687
H03K 19/0185

(21)Application number : 63-226931

(71)Applicant : FUJITSU LTD

FUJITSU VLSI LTD

(22)Date of filing : 09.09.1988

(72)Inventor : KATO KOJI

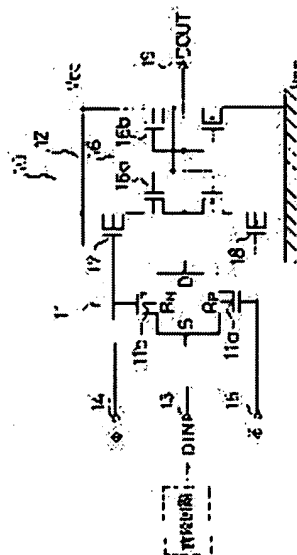
SUGIYAMA TAKASHI

(54) LATCH CIRCUIT

(57)Abstract:

PURPOSE: To expand the signal transmission characteristic without incurring the increase in the load of a pre-stage circuit by devising the signal transmission characteristic in the through-operation so as to be decided depending on a resistance and an input capacitance of the post-stage circuit.

CONSTITUTION: An input stage circuit 11 interposed between the pre-stage circuit and the post-stage circuit 12 consists of a P-channel transistor(TR) 11a and an N-channel TR 11b, drains of the TRs 11a, 11b and sources of them are connected together in common and connected to the pre-stage circuit and the post-stage circuit 12. Thus, source-drain resistors (RP, RN) of the TRs 11a, 11b are inserted in series between the pre-stage circuit and the post-stage circuit 12, resulting that a desired charging time of the input capacitance of the post-stage circuit 12 is attained by adjusting the time constant depending on the resistances RP, RN and the input capacity of the post-stage circuit 12. Thus, the adjusting width of the signal transmission characteristic in the through-operation is expanded without incurring increase in the load of a pre-stage circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-75219

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月14日

H 03 K 3/356
17/887
19/0185

D 8626-5 J

8214-5 J
8214-5 J
8326-5 J

H 03 K 17/687

19/00

1 0 1

G
C
E

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 ラッチ回路

⑯ 特 願 昭63-226931

⑰ 出 願 昭63(1988)9月9日

⑱ 発 明 者 加 藤 好 治 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル
エスアイ株式会社内

⑲ 発 明 者 杉 山 任 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル
エスアイ株式会社内

⑳ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

㉑ 出 願 人 富 士 通 ヴ ィ エ ル エ ス ア 愛知県春日井市高蔵寺町2丁目1844番2
イ株式会社

㉒ 代 理 人 弁 理 士 井 桁 貞 一 外2名

明 細 書

3. 発明の詳細な説明

1. 発明の名称

ラッチ回路

2. 特許請求の範囲

相補制御信号に従って信号をスルーさせたり、
あるいはラッチさせたりするラッチ回路であって、
一対のCMOSインバータからなるフリップフ
ロップ回路を含む後段回路と、

入力端子と後段回路との間に介装され、Pチャ
ネルトランジスタおよびNチャネルトランジスタ
の各々のドレイン同士およびソース同士を共通に
するとともに、

ソース側を入力端子に接続し、

ドレイン側を前記後段回路に接続し、

各々のゲートには相補制御信号が入力される入
力段回路と、
を備えたことを特徴とするラッチ回路。

(目次)

概要

産業上の利用分野

従来の技術 (第4図)

発明が解決しようとする課題

課題を解決するための手段

作用

実施例

本発明の一実施例 (第1、2図)

本発明の他の実施例 (第3図)

発明の効果

(概要)

ラッチ回路に関し、

前段回路の負担増を招くことなく、スルー動作
時の信号伝達特性の調節幅を拡大することを目的
とし、

相補制御信号に従って信号をスルーさせたり、

あるいはラッチさせたりするラッチ回路であって、
 一対のCMOSインバータからなるフリップフロ
 ップ回路を含む後段回路と、入力端子と後段回路
 との間に介装され、Pチャネルトランジスタおよ
 びNチャネルトランジスタの各々のドレイン同士
 およびソース同士を共通にするとともに、ソース
 側を入力端子に接続し、ドレイン側を前記後段回
 路に接続し、各々のゲートには相補制御信号が入
 力される入力段回路と、を備えて構成している。

〔産業上の利用分野〕

本発明は、ラッチ回路に関し、特にスルー動作
 時の信号伝達特性の調節幅を拡大したラッチ回路
 に関する。

半導体集積装置では、必要に応じて信号をスル
 ー（通過）させたり、ラッチさせたりするラッチ
 回路が多用される。

〔従来の技術〕

従来のこの種のラッチ回路としては、例えば第

4図に示すようなものがある。第4図において、
 1はラッチ回路であり、ラッチ回路1は入力段回
 路2と、後段回路3とから構成されている。入力
 段回路2は2つのPチャネルトランジスタ2a、
 2bと、2つのNチャネルトランジスタ2c、2
 dとをトータムボール接続したもので、相補制御
 信号 ϕ 、 $\bar{\phi}$ が $\phi = "H"$ 、 $\bar{\phi} = "L"$ のときに、
 入力信号DINと反対の論理レベルを出力ノード
 Noに現す。後段回路3は、一対のCMOSイン
 バータ4a、4bからなるフリップフロップ回路
 4と、 $\phi = "L"$ のときに導通するPチャネルト
 ランジスタ3aと、 $\bar{\phi} = "H"$ のときに導通する
 Nチャネルトランジスタ3bとを有し、出力ノード
 Noの論理レベルと反対の論理レベルを出力信
 号DOU Tとして出力する。

このような構成において、今、 $\phi = "H"$ 、 $\bar{\phi}$
 $= "L"$ 、DIN = "H"とすると、Pチャネル
 トランジスタ2a、Nチャネルトランジスタ2d
 が導通し、そして、DINを受けてNチャネルト
 ランジスタ2cが導通する。これにより、Noは

3

低電位Vss側に接続され、Noの論理レベルは
 "L"となる。

フリップフロップ回路4は、No = "L"を受
 けてそのCMOSインバータ4b出力(DOU
 T)を"H"とし、CMOSインバータ4aはD
 O U Tの"H"を受けてその出力側に接続された
 Noの論理レベルを"L"にする。すなわち、 ϕ
 $= "H"$ 、 $\bar{\phi} = "L"$ の場合には、DINと同じ
 論理レベルがDOU Tに現れている。

一方、 $\phi = "L"$ 、 $\bar{\phi} = "H"$ にすると、フリ
 ップフロップ回路4はその直前のNoの論理レベ
 ルを保持し、ラッチ状態に入る。

〔発明が解決しようとする課題〕

しかしながら、このような従来のラッチ回路に
 あっては、DINをPチャネルトランジスタ2b
 およびNチャネルトランジスタ2cのゲートに加
 える構成となっていたため、例えば、スルー動作
 時の信号伝達特性を調節しようとした場合、その
 調節幅が小さいといった問題点があった。

5

4

すなわち、従来例の構成で信号伝達特性を調節
 しようとする、多くの場合、入力段回路2の各
 トランジスタおよび後段回路3の各トランジスタ
 のチャネル幅Wを調整することが行われる。例え
 ば、スルー動作時の信号遅延量を少なくしたい場
 合には、入力段回路2の各トランジスタのチャネ
 ル幅Wを大きくするのが効果的である。しかし、
 チャネル幅を大きくすると高速動作が得られる反
 面、この入力段回路2を駆動する前段回路に大き
 な駆動能力を要求することとなり、限界がある。

そこで、本発明は、前段回路の負担増を招くこ
 となく、スルー動作時の信号伝達特性の調節幅を
 拡大することを目的としている。

〔課題を解決するための手段〕

本発明では、上記目的を達成するために、相補
 制御信号に従って信号をスルーさせたり、あるい
 はラッチさせたりするラッチ回路であって、一対
 のCMOSインバータからなるフリップフロップ
 回路を含む後段回路と、入力端子と後段回路との

6

間に介装され、PチャネルトランジスタおよびNチャネルトランジスタの各々のドレイン同士およびソース同士を共通にするとともに、ソース側を入力端子に接続し、ドレイン側を前記後段回路に接続し、各々のゲートには相補制御信号が入力される入力段回路と、を備えて構成している。

(作用)

本発明では、入力端子と後段回路との間に、PチャネルトランジスタおよびNチャネルトランジスタのドレイン・ソース間抵抗が挿入される。

したがって、スルー動作時の信号伝達特性は、上記抵抗値と後段回路の入力容量との時定数で決められるようになり、前段回路の負担増を招くことなく、信号伝達特性の調節幅が拡大される。

(実施例)

以下、本発明を図面に基づいて説明する。

第1、2図は本発明に係るラッチ回路の一実施例を示す図である。

7

17と、 $\phi = "H"$ のときに導通するNチャネルトランジスタ18とを有し、入力段回路11の(D)の論理レベルと同一の論理レベルの出力信号DOU Tを出力端子19に現す。なお、 V_{cc} は高電位側電源、 V_{ss} は低電位側電源である。

このような構成において、スルー動作かラッチ動作かは ϕ 、 $\bar{\phi}$ の論理レベルによって決められる。
ラッチ動作

第2図のタイミングチャートにおいて、 ϕ が $"H" \rightarrow "L"$ ($\bar{\phi}$ が $"L" \rightarrow "H"$)へと変化すると、後段回路12はその直前のD I Nの論理レベルを保持し、DOU Tを同一の論理レベルで出力し続ける。このラッチ動作は、 $\phi = "L"$ 、 $\bar{\phi} = "H"$ にある間継続される。

スルー動作

$\phi = "H"$ 、 $\bar{\phi} = "L"$ のときである。すなわち、この ϕ 、 $\bar{\phi}$ を受けてPチャネルトランジスタ11aおよびNチャネルトランジスタ11bが導通し、このときのD I Nと同一の論理レベルをDOU Tに与える。今、D I Nが $"L"$ から $"H"$ へと変

第1図において、10はラッチ回路であり、ラッチ回路10は入力段回路11と、後段回路12とを有している。入力段回路11は、Pチャネルトランジスタ11a、Nチャネルトランジスタ11bとを備え、これらのPチャネルトランジスタ11aおよびNチャネルトランジスタ11bのドレイン同士およびソース同士は共通に接続されるとともに、そのソース側(S)が入力端子13に接続され、また、ドレイン側(D)が後段回路12に接続されている。また、Pチャネルトランジスタ11aおよびNチャネルトランジスタ11bの各ゲートには、制御信号入力端子14、15を介して相補制御信号 ϕ 、 $\bar{\phi}$ が入力されており、Pチャネルトランジスタ11aおよびNチャネルトランジスタ11bは $\phi = "H"$ 、 $\bar{\phi} = "L"$ のときに導通し、入力端子13に加えられた入力信号D I Nを(S)から(D)、すなわち、後段回路12へと伝達する。

後段回路12は、一対のCMOSインバータ16a、16bからなるフリップフロップ回路16と、 $\phi = "L"$ のときに導通するPチャネルトランジスタ

8

化し、再び $"L"$ へと変化する場合は伝達特性を考える。

第2図のタイミングチャートにおいて、D I Nが $"L" \rightarrow "H"$ へと立ち上がると、遅延時間 T_d の後に、DOU Tが $"L" \rightarrow "H"$ へと立ち上がっている。これは、例えばD I Nが $"H"$ に立ち上がると、Pチャネルトランジスタ11aおよびNチャネルトランジスタ11bのソース・ドレイン間抵抗(R_p 、 R_n)を介して後段回路12の入力容量が充電されていく時間に相当し、この時間(すなわち、 T_d)は、 R_p 、 R_n および後段回路12の入力容量で決まる時定数を調節することで、所望の時間とすることができる。しかも、 R_p 、 R_n や後段回路12の入力容量を変化させても、入力段回路11に接続される前段回路はその駆動能力を变える必要はない。したがって、前段回路の負担を招かずに上記 T_d の調節を行うことができるので、その調節の幅は比較的に大きなものとしてすることができる。

このように、本実施例では、前段回路と後段回

9

10

路12との間に介在する入力段回路11を、Pチャネルトランジスタ11aおよびNチャネルトランジスタ11bで構成するとともに、これらPチャネルトランジスタ11aおよびNチャネルトランジスタ11bのドレイン同士、ソース同士を共通にして前段回路および後段回路12に接続している。したがって、前段回路と後段回路12との間には、Pチャネルトランジスタ11aおよびNチャネルトランジスタ11bのソース・ドレイン間抵抗(R_p 、 R_n)が直列に挿入される結果、 R_p 、 R_n および後段回路12の入力容量などを調節して時定数を変えることにより、上述のTdを変化させることができる。しかも、前段回路の負担を招くことはない。したがって、前段回路の駆動能力を考慮しなくてもよいから、その調節幅を比較的に大きなものとしてことができ、設計上の便宜性を図ることができる。

なお、上記実施例によれば入力段回路11を構成するトランジスタ数は2個でよい。すなわち、従来例の4個に比して半分でよい。したがって、ラ

ッチ回路を多数使用する各種集積回路装置に適用すると構成の簡素化が図れるので好ましい。

また、上記実施例では後段回路12に、 ϕ 、 $\bar{\phi}$ で制御されるPチャネルトランジスタ17およびNチャネルトランジスタ18を含んだ構成例を示したが、これに限るものではなく、第3図に他の実施例を示すように、後段回路20をCMOSインバータ16aおよびCMOSインバータ16bからなるフリップフロップ回路16だけで構成してもよい。

〔発明の効果〕

本発明によれば、ドレイン同士およびソース同士を共通に接続したPチャネルトランジスタおよびNチャネルトランジスタによって入力段回路を構成し、前段回路と後段回路との間に、上記PチャネルおよびNチャネルトランジスタのソース・ドレイン間抵抗を介装させているので、前段回路の負担増(例えば、駆動能力の増大)を招くことなく、スルー動作時の信号伝達特性の調節幅を拡大することができる。

1 1

1 2

4. 図面の簡単な説明

第1、2図は本発明に係るラッチ回路の一実施例を示す図であり、

第1図はその構成図、

第2図はそのタイミングチャート、

第3図は他の実施例を示すその構成図、

第4図は従来例を示すその構成図である。

11…入力段回路、

11a…Pチャネルトランジスタ、

11b…Nチャネルトランジスタ、

12、20…後段回路、

13…入力端子、

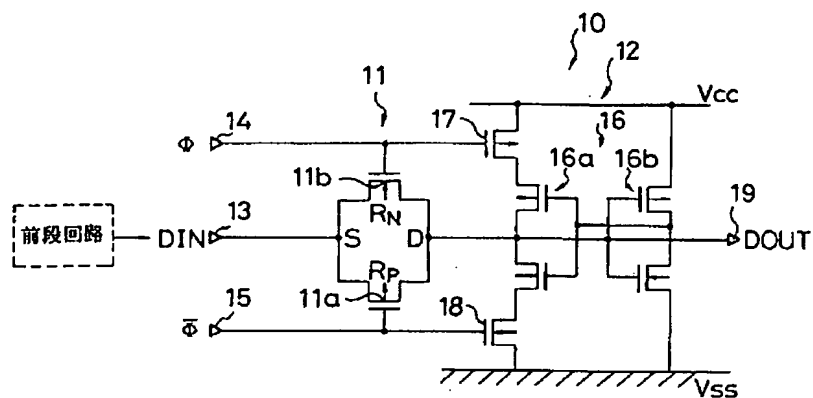
16…フリップフロップ回路、

16a、16b…CMOSインバータ、

ϕ 、 $\bar{\phi}$ …相補制御信号。

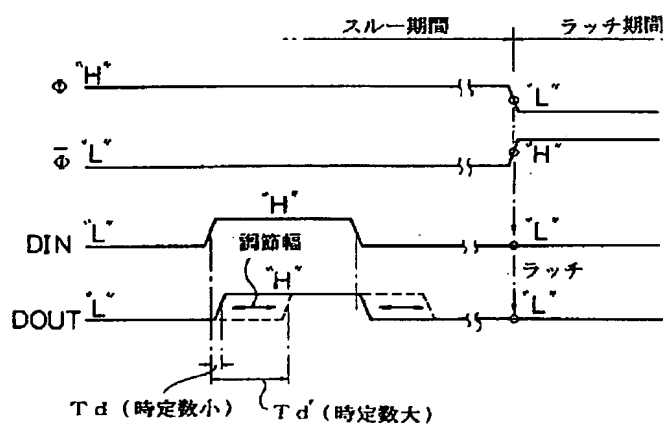
代理人 弁理士 井 桁 貞 一

1 3

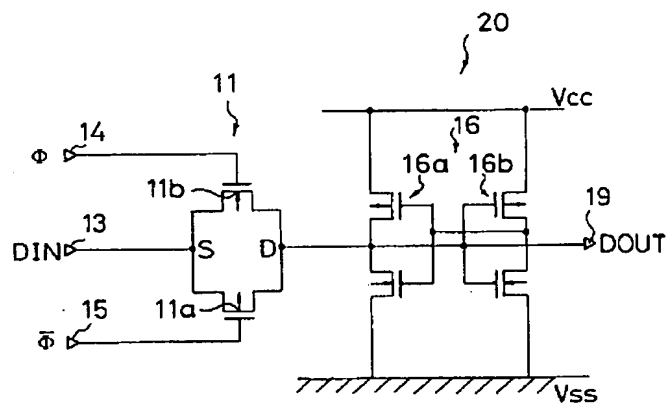


- 11 : 入力段回路
- 11a : Pチャネルトランジスタ
- 11b : Nチャネルトランジスタ
- 12 : 後段回路
- 13 : 入力端子
- 16 : フリップフロップ回路
- 16a, 16b : CMOSインバータ
- Φ, Φ̄ : 相補制御信号

一実施例の構成図
第 1 図

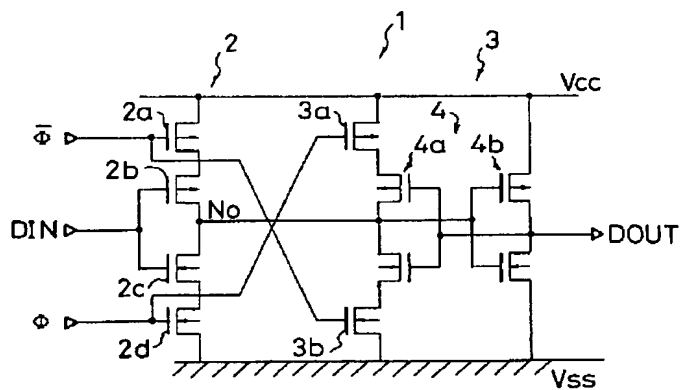


一実施例のタイミングチャート
第 2 図



20 : 後段回路

他の実施例の構成図
第 3 図



従来例の構成図
第 4 図